

17. 9. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

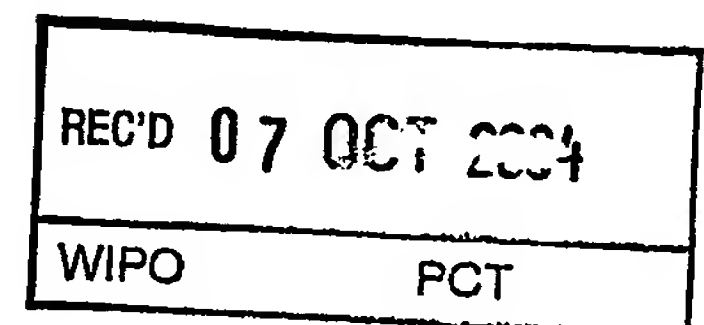
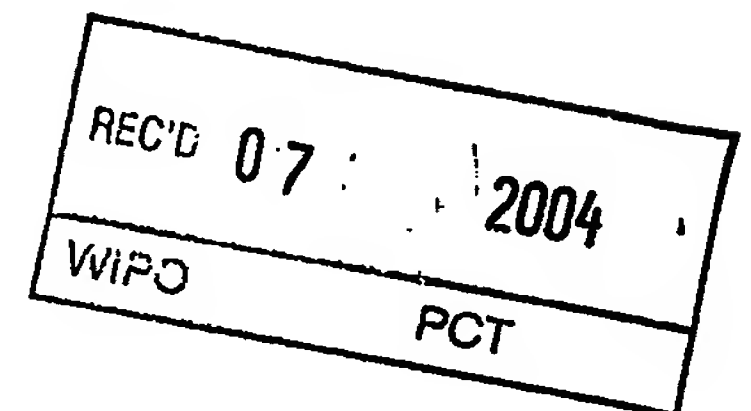
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 0 月 2 7 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 3 6 5 4 3 6
[ST. 10/C]: [J P 2 0 0 3 - 3 6 5 4 3 6]

出 願 人
Applicant(s): 日 本 電 気 株 式 会 社

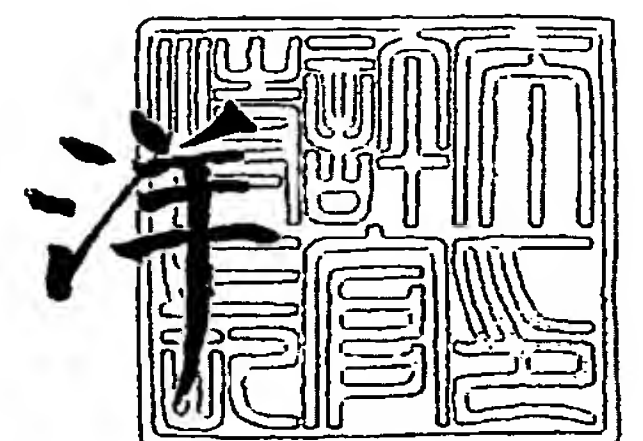


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 8 月 3 0 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 34002344
【提出日】 平成15年10月27日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/34
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 武田 晃一
【特許出願人】
 【識別番号】 000004237
 【氏名又は名称】 日本電気株式会社
【代理人】
 【識別番号】 100071272
 【弁理士】
 【氏名又は名称】 後藤 洋介
【選任した代理人】
 【識別番号】 100077838
 【弁理士】
 【氏名又は名称】 池田 憲保
【手数料の表示】
 【予納台帳番号】 012416
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0018587

【書類名】 特許請求の範囲**【請求項 1】**

それぞれのメモリセルが第 1 及び第 2 の CMOS インバータをループ接続して第 1 及び第 2 のデータ記憶ノードを形成し、アクセストランジスタがワード線信号で制御されビット線と前記第 1 のデータ記憶ノードとの間でデータのアクセスを行うと共に、前記第 1 の CMOS インバータが前記第 2 のデータ記憶ノードを入力とし入力信号の反転を前記第 1 のデータ記憶ノードに出力し、かつ前記第 2 の CMOS インバータが前記第 1 の CMOS インバータの出力信号を入力とし入力信号の反転を前記第 2 のデータ記憶ノードに出力するスタティックランダムアクセスメモリにおいて、前記第 2 の CMOS インバータの基板電位側トランジスタに直列接続し、ワード線信号の反転信号の制御により「オフ」として前記第 2 のデータ記憶ノードに高電位が記憶されている間に前記第 2 の CMOS インバータの出力信号が高電位から低電位に低下することを防止する電位低下防止トランジスタを備えることを特徴とするスタティックランダムアクセスメモリ。

【請求項 2】

請求項 1 に記載のスタティックランダムアクセスメモリにおいて、前記メモリセルは、書込み動作の際に書込みワード線信号の制御により「オン」され、前記第 2 の CMOS インバータの出力である前記第 2 のデータ記憶ノードを低電位へリセットする電位リセットトランジスタを更に備えることを特徴とするスタティックランダムアクセスメモリ。

【請求項 3】

ワード線信号で制御されビット線と自己メモリセル内の第 1 のデータ記憶ノードとの間でデータのアクセスを行う第 1 の NMOS トランジスタと、第 2 の NMOS トランジスタおよび第 1 の PMOS トランジスタにより形成され、第 2 のデータ記憶ノードを入力とし入力信号の反転を前記第 1 のデータ記憶ノードに出力する第 1 の CMOS インバータと、第 3 の NMOS トランジスタおよび第 2 の PMOS トランジスタにより形成され、前記第 1 の CMOS インバータの出力信号を入力とし入力信号の反転を前記第 2 のデータ記憶ノードに出力する第 2 の CMOS インバータとをメモリセルそれぞれに備えるスタティックランダムアクセスメモリにおいて、

前記メモリセルは、前記第 3 の NMOS トランジスタに直列に接続するものであって、ワード線信号の反転信号により制御される第 4 の NMOS トランジスタを備えることを特徴とするスタティックランダムアクセスメモリ。

【請求項 4】

請求項 3 に記載のスタティックランダムアクセスメモリにおいて、前記メモリセルは、書込みワード線信号により制御され、書込み動作の際に、前記第 2 の CMOS インバータの出力である前記第 2 のデータ記憶ノードを低電位へリセットする第 5 の NMOS トランジスタを更に備えることを特徴とするスタティックランダムアクセスメモリ。

【請求項 5】

請求項 3 に記載のスタティックランダムアクセスメモリにおいて、前記第 4 の NMOS トランジスタは、前記第 3 の NMOS トランジスタと基板電位との間で直列接続することを特徴とするスタティックランダムアクセスメモリ。

【請求項 6】

請求項 3 に記載のスタティックランダムアクセスメモリにおいて、前記第 4 の NMOS トランジスタは、前記第 3 の NMOS トランジスタと前記第 2 のデータ記憶ノードとの間で直列接続されることを特徴とするスタティックランダムアクセスメモリ。

【書類名】 明細書

【発明の名称】 スタティックランダムアクセスメモリ

【技術分野】

【0 0 0 1】

本発明は、超高速動作または超低電圧動作を要求される場合でも、読み出し操作の際に記憶データ破壊を防止可能なメモリセルを、最小のトランジスタ数で実現するスタティックランダムアクセスメモリ（S R A M : Static Random Access Memory）に関するものである。

【背景技術】

【0 0 0 2】

A S I C（Application Specific Integrated Circuit）などに用いられるカスタム I C では、トランジスタを微細化して、電源電圧を低下させつつ、動作速度を向上させてきた。また、キャッシュメモリ等の用途で、混載されるスタティックランダムアクセスメモリ（以後、S R A M と略称する）においても、同様に高速動作及び低電源電圧での動作が求められる。

【0 0 0 3】

従来の S R A M について、図 5 を参照して説明する。

【0 0 0 4】

図 5 は、キャッシュメモリを構成する従来の S R A M における単一のセル（以後、S R A M セルと呼称する）の回路構成を示す。ワード線信号 W L が低電位の場合、二つの C M O S（Complementary Metal Oxide Semiconductor）インバータがループを形成することで安定にデータが保持可能である。すなわち、一方の C M O S は、データ記憶ノード V 1 を入力としてデータ記憶ノード V 2 に出力し、他方の C M O S は、データ記憶ノード V 2 を入力としてデータ記憶ノード V 2 に出力している。

【0 0 0 5】

しかしながら、ワード線信号 W L がアクセスして高電位の場合、データ記憶ノード V 1、V 2 とビット線 B L T、B L N とがアクセストランジスタを介して導通することで、データ記憶ノード V 1、V 2 の低電位が基板電位から上昇してしまい、データを安定に保持することができない。一般に、従来の S R A M セルでは、アクセスされた際のデータ保持の安定度を測る指標としてスタティックノイズマージン（S N M : Static Noise Margin）が用いられる。

【0 0 0 6】

すなわち、図 6 に示されるように、S R A M セルを 2 個のインバータに分離して、各々のインバータの D C（直流）特性を求め、一方のインバータの D C 特性出力がもう一方のインバータの D C 特性入力となるように、二つの D C 特性を重ね合わせた際に、バタフライカーブが描かれる。S N M は、このバタフライカーブに内接する最大の正方形の一辺として定義される。

【0 0 0 7】

この S N M については、下記非特許文献 1 において将来予測が行われている。すなわち、図 7 に示されるように世代を進め、2 5 0 n m 世代から 5 0 n m 世代に移行した場合、S N M は平均値が減少するだけでなく、S N M の偏差も増大する。従って、S N M の最悪値は著しく劣化する。図示される 5 0 n m 世代においては S N M の最悪値が「0」以下になってしまうので、読み出し操作に伴ってワード線信号 W L が高電位になった際には、記憶データが破壊される恐れがある。

【0 0 0 8】

一方、下記非特許文献 2 において、読み出し専用ポートを持った S R A M が提案されている。この S R A M では、図 8 に示されるように、メモリセルを 8 個のトランジスタで構成し、ビット線をメモリセルのセル電流のみでフルスイングさせている。この方式の本来の目的は世代を進めた場合の動作速度改善効果を得ることである。しかし、読み出し操作に伴うビット線からセル内のデータ記憶ノードへの電荷の流入がないことから、従来の S

RAMで将来問題になる読み出し操作に伴う記憶データの破壊は発生しない。従って、この回路構成によるSRAMでは、世代を進めた場合の高速動作だけでなく、安定動作が可能である。

【0009】

上記非特許文献1のように、トランジスタ6個を用いた従来のSRAMセルでは、SNMの最悪値が劣化することから、将来的には安定なデータ保持は困難になる。これに関し、次に、図9に図10を併せ参照して、SNMの値が十分に足りない場合に生じる読み出し操作に伴う記憶データの破壊のメカニズムについて説明する。

【0010】

通常のセルでは、図10(A)に示されるようにワード線信号WLが選択されると、図10(B)に示されるようにデータ記憶ノードの低電位「0」が基板電位から若干上昇するのみである。しかしながら、その電位が入力されるインバータを構成するNMOS(NチャネルMOS)トランジスタで、しきい値電圧が著しく低くなるように変動した場合にはこのNMOSトランジスタが「オン」となってしまうので、そのインバータの出力は高電位「1」から低下する。これにより、最終的には、図10(C)に示されるようにデータ記憶ノードの電位が反転して、データが破壊される。

【0011】

一方、上記非特許文献2の読み出し専用ポートを持つSRAMセルでは、読み出し操作に伴う記憶データの破壊は起きないが、トランジスタ数が8個になることで、セル面積が増大してしまう問題がある。

【非特許文献1】A. J. Bhavnagarwala 「The impact of intrinsic device fluctuations on CMOS SRAM cell stability」 IEEE Journal of Solid State Circuit, Vol. 36, No. 4, Apr. 2001 (図5、図10)

【非特許文献2】H. Sakakibara 「A 750MHz 144Mb cache DRAM LSI with speed scalable design and programmable at-speed function-array BIST」 IEEE International Solid State Circuit Conference, 2003 (図1)

【発明の開示】

【発明が解決しようとする課題】

【0012】

解決しようとする課題は、超高速動作または超低電圧動作を要求される場合でも、読み出し操作の際の記憶データ破壊を防止可能なメモリセルを構成するためには8個のトランジスタが必要とされるので、構成面積を縮小できないことである。

【課題を解決するための手段】

【0013】

本発明は、超高速動作または超低電圧動作を要求される場合でも、読み出し操作の際の記憶データ破壊を防止可能なSRAMセルを8個以内のトランジスタで構成するため、データアクセスを行うアクセストランジスタ(N1)に加えて、二つの第1及び第2のCMOSインバータを形成する四つのトランジスタでループを形成し、一方の第2のCMOSインバータに、後に説明する電位低下防止トランジスタ(N4)及び電位リセットトランジスタ(N5)を備えて、7個のトランジスタで構成することを主要な特徴とする。ここで「N1, N4, N5」とあるのはトランジスタを区別して説明するための符号であり、後述する図1または図2で示される番号符号である。従って、図面を参照する説明では、トランジスタはそれぞれトランジスタN1, N4, N5とのみ記載される。

【0014】

すなわち、電位低下防止トランジスタN4は、ワード線信号の反転信号の制御により「オフ」とされ、第2のCMOSインバータに直列に接続して第2のCMOSインバータにおける出力のデータ記憶ノードが高電位「1」を出力する間では低電位「0」へ遷移することを防止する。また、電位リセットトランジスタN5は、書込みワード線信号の制御により「オン」として、維持されていた第2のCMOSインバータにおける出力の高電位「1」を、書込み動作の際に低電位「0」へリセットする。

【0015】

すなわち、本発明によるSRAMは、データ記憶ノードに接続するトランジスタによりデータ記憶ノードのデータ保持を、保持持続の際には「静的」に、アクセスの際には「動的」にと、動作状態に応じてデータ保持方法を切り替えることによって、読み出し操作に伴う記憶データの破壊を防止している。

【0016】

また、本発明によるSRAMの対象となる一つの具体的な構成は、ワード線信号WLで制御されビット線BLと自己メモリセル内の第1のデータ記憶ノードV1との間でデータのアクセスを行う第1のNMOSトランジスタN1と、第2のNMOSトランジスタN2および第1のPMOSトランジスタP1により形成され、第2のデータ記憶ノードV2を入力とし入力信号の反転を第1のデータ記憶ノードV1に出力する第1のCMOSインバータと、第3のNMOSトランジスタN3および第2のPMOSトランジスタP2により形成され、第1のCMOSインバータの出力信号を入力とし入力信号の反転を第2のデータ記憶ノードV2に出力する第2のCMOSインバータとをメモリセルそれぞれに備えるSRAMに対するものである。

【0017】

本発明ではこのSRAMにおいて、メモリセルが、第3のNMOSトランジスタN3に直列に接続するものであって、ワード線信号の反転信号WLBにより制御される第4のNMOSトランジスタN4と、書込みワード線信号DRLにより制御され、書込み動作の際に第2のCMOSインバータの出力である第2のデータ記憶ノードV2を低電位へリセットする第5のNMOSトランジスタとを備えることを特徴としている。ここで、第4のNMOSトランジスタN4の直列接続位置は、第3のNMOSトランジスタN3に対して第2のデータ記憶ノードV2側、基板電位GND側のいずれでもよい。

【発明の効果】

【0018】

本発明によるSRAMは、読み出し操作の際に、第2のCMOSインバータに付加したNMOSトランジスタN4を動的に「オフ」にすることにより、従来のSRAMセルにおいて課題となる読み出し操作に伴う記憶データの破壊を防止することができる。第1のCMOSインバータが低電位「0」を出力している間に読み出し操作を行った場合、ビット線BLから電荷が流入してデータ記憶ノードV1が基板電位から上昇する。ここで、第2のCMOSインバータに付加したNMOSトランジスタN4を動的に「オフ」にした場合、第2のCMOSインバータの出力信号は高電位「1」から変動しない。従って、データ記憶ノードV1の低電位「0」がいくら上昇したとしても、第2のCMOSインバータの出力信号は高電位「1」から変動しないので、従来のSRAMセルで生じていた読み出し操作に伴うデータ破壊を防止することができる。読み出し操作が完了した際には、NMOSトランジスタN4を動的に「オン」にして第1及び第2のCMOSインバータによるループを再び形成することにより、安定してデータを保持することができる。

【0019】

更に、上述したように、維持されていた第2のCMOSインバータにおける出力の高電位「1」を、書込み動作の際に低電位「0」へリセットするNMOSトランジスタN5を備えて、トランジスタ7個でSRAMセルを構成することができる。

【0020】

上記非特許文献2では、トランジスタ数が8個であるのに加えて、制御信号数も、全体では5本必要である。しかし、本発明によるSRAMセルでは、トランジスタ数7個で構成され、ワード線3本とビット線1本との合計4本で制御することが可能である。すなわち、少数規模の構成で上記目的を達成することができる。

【発明を実施するための最良の形態】

【0021】

超高速動作または超低電圧動作を要求される場合でも、読み出し操作の際の記憶データ破壊を防止可能なメモリセルを小規模で構成するという目的を、第1及び第2のCMOS

インバータを形成する四つのトランジスタでループを形成し、データアクセスを行う NMOS トランジスタ N1 を備えるという従来の構成に加えて、一方の第 2 の CMOS インバータが出力するデータ記憶ノード V2 に接続する、二つの NMOS トランジスタ N4, N5 を備えて、7 個のトランジスタで構成することにより実現した。

【0022】

具体的には、ワード線信号 WL で制御されビット線 BL と自己メモリセル内のデータ記憶ノード V1 との間でデータのアクセスを行う NMOS トランジスタ N1 と、NMOS トランジスタ N2 および PMOS トランジスタ P1 により形成され、データ記憶ノード V2 を入力とし入力信号の反転をデータ記憶ノード V1 に出力する第 1 の CMOS インバータと、NMOS トランジスタ N3 および PMOS トランジスタ P2 により形成され、第 1 の CMOS インバータの出力信号を入力とし入力信号の反転をデータ記憶ノード V2 に出力する第 2 の CMOS インバータとをメモリセルそれぞれに備える SRAM に関する。

【0023】

本発明ではこの SRAM において、メモリセルが、上記 NMOS トランジスタ N3 に直列に接続するものであって、ワード線信号の反転信号 WL B により制御され、データ記憶ノード V2 に高電位が記憶されている間に第 2 の CMOS インバータの出力信号が高電位から低電位に低下することを防止する NMOS トランジスタ N4 と、書込みワード線信号 DRL により制御され、書込み動作の際に第 2 の CMOS インバータの出力である第 2 のデータ記憶ノード V2 を低電位へリセットする第 5 の NMOS トランジスタとを備えることを特徴としている。

【0024】

ここで、NMOS トランジスタ N4 の直列接続位置は、NMOS トランジスタ N3 に対してデータ記憶ノード V2 側、基板電位 GND 側のいずれでもよい。

【0025】

本実施の形態における説明では、メモリセルが二つの CMOS インバータのループによる構成であるが、ループ形成は CMOS インバータに限定されるものではない。

【実施例 1】

【0026】

本発明の実施の一形態について図 1 を参照して説明する。

【0027】

図 1 は、本発明の実施例 1 によるスタティックランダムアクセスメモリの一つの SRAM セルを示す。SRAM セルは、NMOS トランジスタ N1 と、第 1 の CMOS インバータを形成する PMOS トランジスタ P1 及び NMOS トランジスタ N2 と、第 2 の CMOS インバータを形成する PMOS トランジスタ P2 及び NMOS トランジスタ N3 と、本発明の特徴を示す NMOS トランジスタ N4, N5 との 7 個のトランジスタにより構成される。

【0028】

NMOS トランジスタ N1 は、ビット線 BL に接続されワード線信号 WL を用いてデータ記憶ノード V1 に対してデータアクセスを行う。第 1 の CMOS インバータは、PMOS トランジスタ P1 と NMOS トランジスタ N2 とからデータ記憶ノード V2 のデータを入力し、データ記憶ノード V1 にデータを出力する。第 2 の CMOS インバータは、PMOS トランジスタ P2 と NMOS トランジスタ N3 とからデータ記憶ノード V2 へデータを出力し、データ記憶ノード V1 からデータを入力する。トランジスタ N4 は、ワード線信号 WL B を用いてアクセスされた際に NMOS トランジスタ N3 が「オン」しないように制御される。そして、NMOS トランジスタ N5 は、書込み動作の際に、書込みワード線信号 DRL を用いて第 2 の CMOS インバータの出力信号を低電位「0」へリセットする。

【0029】

このような構成のため、第 1 の CMOS インバータでは、PMOS トランジスタ P1 と NMOS トランジスタ N2 との直列回路に対して、PMOS トランジスタ P1 側に電源電

位VDD、NMOSトランジスタN2側に基板電位GNDそれぞれが接続される。第2のCMOSインバータでは、PMOSトランジスタP2とNMOSトランジスタN3との直列回路に対して、PMOSトランジスタP2側に電源電位VDD、NMOSトランジスタN3側に基板電位GNDそれぞれが接続される。トランジスタN4は、NMOSトランジスタN3と基板電位GNDとの間に直列に接続される。また、NMOSトランジスタN5は、PMOSトランジスタP2とNMOSトランジスタN3との接続点であるデータ記憶ノードV2と基板電位GNDとの間に設けられる。

【0030】

次に、図2のタイムチャートに図1の回路構成を併せ参照して図1における読み出し動作について説明する。

【0031】

図2に示されるように、読み出し動作の際には、ワード線信号WLを高電位「1」に、またその反転信号WLBを低電位「0」にそれぞれが設定される。書き込み用ワード線DRLは、低電位「0」のままに設定されている。

【0032】

図2(A)に示されるデータ記憶ノードV1が低電位「0」の場合、SRAMセルによって、ビット線BLの電位が低電位「0」に放電される。この際、ワード線反転信号WLBが低電位「0」に制御されるのでNMOSトランジスタN4は「オフ」する。この結果、データ記憶ノードV1が低電位「0」からどんなに上昇したとしても第2のCMOSインバータは高電位「1」を出力し続ける。従って、記憶データが破壊されることなく読み出し動作が可能である。

【0033】

一方、図2(B)に示されるデータ記憶ノードV1が高電位「1」の場合は、ビット線BLにおいて放電動作が行われな。従って、ビット線BLの電位、データ記憶ノードV1及びデータ記憶ノードV2の両者での電位それぞれに変化はない。

【0034】

次に、図3のタイムチャートに図1の回路構成を併せ参照して図1における書き込み動作について説明する。

【0035】

図3に示されるように、書き込み動作の際には、上述した読み出し動作での制御に、書き込み用ワード線DRLの制御が加わる。

【0036】

図3(A)に示されるデータ記憶ノードV1に低電位「0」を記憶させたい場合は、ビット線BLを低電位「0」とするだけで可能である。しかしながら、書き込み用ワード線信号DRLが共通に入力されるSRAMセルにおいて、高電位「1」を記憶させるために書き込み用ワード線信号DRLが高電位「1」になっており、データ記憶ノードV1が低電位「0」に完全に書き込まれない。従って、書き込みワード信号DRLは、ワード信号WLよりも短い時間の間に高電位「1」とする制御を行う。

【0037】

また、図3(B)に示されるデータ記憶ノードV1に高電位「1」を記憶させたい場合には、ビット線BLを高電位「1」のままとし、書き込み用ワード線DRLを高電位「1」とする。これにより、データ記憶ノードV2が低電位「0」となり、これをゲート入力とするPMOSトランジスタP1が「オン」して、データ記憶ノードV1が高電位「1」となる。

【実施例2】

【0038】

次に、上述したとは別の本発明による実施の一形態について図4を参照して説明する。

【0039】

図4は、本発明の実施例2によるスタティックランダムアクセスメモリの一つのSRAMセルを示す。SRAMセルは、上記実施例1と同一の構成要素を有する。すなわち、N

MOSトランジスタN1と、第1のCMOSインバータを形成するPMOSトランジスタP1及びNMOSトランジスタN2と、上記実施例1で第2のCMOSインバータを形成していたPMOSトランジスタP2及びNMOSトランジスタN3と、本発明の特徴を示すNMOSトランジスタN4、N5との7個のトランジスタにより構成される。

【0040】

上記実施例1、すなわち図1との相違は、本発明の特徴を示すNMOSトランジスタN4の配備位置にある。NMOSトランジスタN4は、上記実施例1で第2のCMOSインバータを形成していたPMOSトランジスタP2とNMOSトランジスタN3との間でNMOSトランジスタN3と直列を成す位置にある。

【0041】

すなわち、実施例1である図1との相違はNMOSトランジスタN3とNMOSトランジスタN4との位置が入れ替わったのみであり、この実施例2の機能および動作は、図3および図4を参照して上述した実施例1と全く同一である。

【産業上の利用可能性】

【0042】

本発明によるSRAMは、データ記憶ノードに接続するトランジスタによりデータ記憶ノードのデータ保持を、保持持続の際には「静的」に、アクセスの際には「動的」にと、動作状態に応じてデータ保持方法を切り替えることによって、読み出し操作に伴う記憶データの破壊を防止している。従って、二つのCMOSによる構成に限定されず、他の構成要素であっても記憶データの破壊を防止が不可欠な用途に適用できる。

【図面の簡単な説明】

【0043】

【図1】本発明によるSRAMのメモリセルの回路構成における実施の一形態を示す図である。（実施例1）

【図2】（A）は図1による「0」読み出しの際における動作タイミング、（B）は図1による「1」読み出しの際における動作タイミングそれぞれの一形態を示すタイムチャートである。

【図3】（A）は図1による「0」書込みの際における動作タイミング、（B）は図1による「1」書込みの際における動作タイミングそれぞれの一形態を示すタイムチャートである。

【図4】本発明によるSRAMのメモリセルの回路構成における実施の一形態を示す図である。（実施例2）

【図5】従来のSRAMにおける回路構成の一例を示した図である。（非特許文献1）

【図6】従来のSRAMにおいて、安定動作を示すSNMについての一例を示した説明図である。（非特許文献1）

【図7】従来のSRAMにおいて、世代が進んだ場合のSNMについての一例を示した説明図である。（非特許文献1）

【図8】従来のSRAMにおける回路構成の一例を示した図である。（非特許文献2）

【図9】従来のSRAMにおいて、読み出し操作に伴うデータ破壊のメカニズムについての一例を示した回路説明図である。

【図10】従来のSRAMにおける読み出し操作に伴うデータ破壊のメカニズムについて（A）は読み出し操作、（B）はデータ記憶ノードの通常例、及び（C）はばらつき存在例それぞれを示した説明図である。

【符号の説明】

【0044】

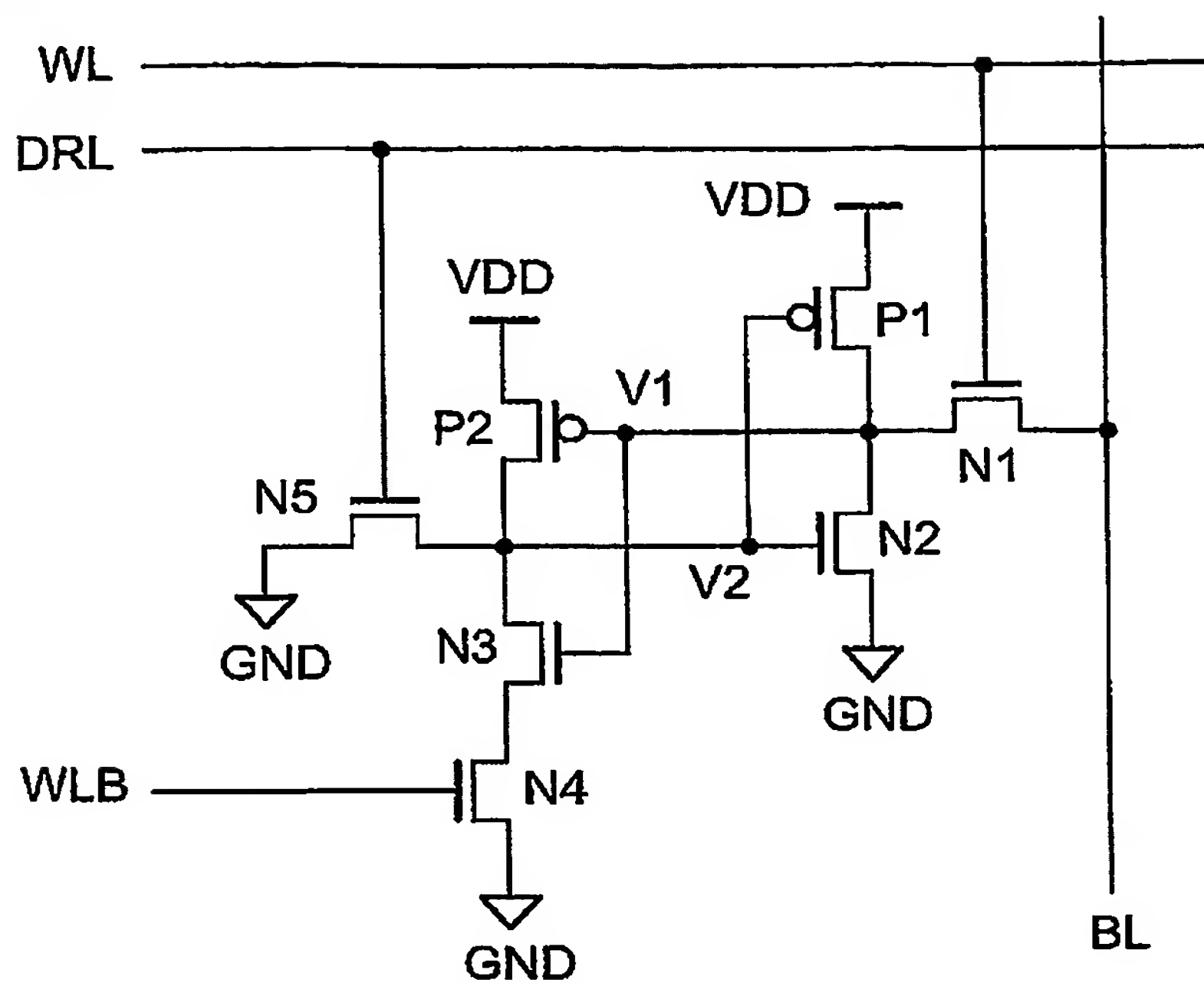
DRL 書込み用ワード線信号

GND 基板電位

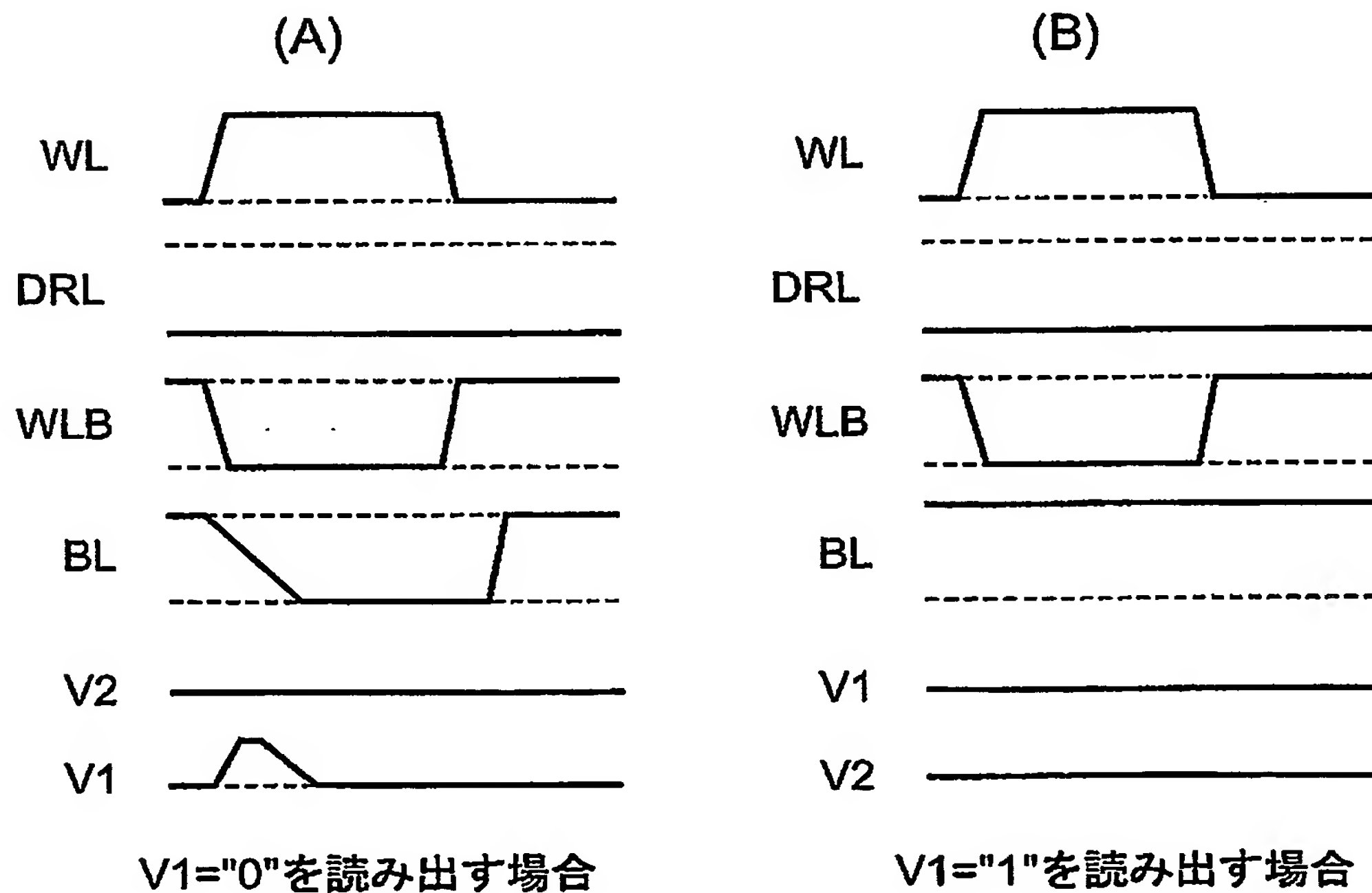
N1、N2、N3、N4、N5 NMOSトランジスタ

P 1、P 2 PMOS トランジスタ
V 1、V 2 データ記憶ノード
VDD 電源電位
WL ワード線信号
WLB ワード線信号の反転信号

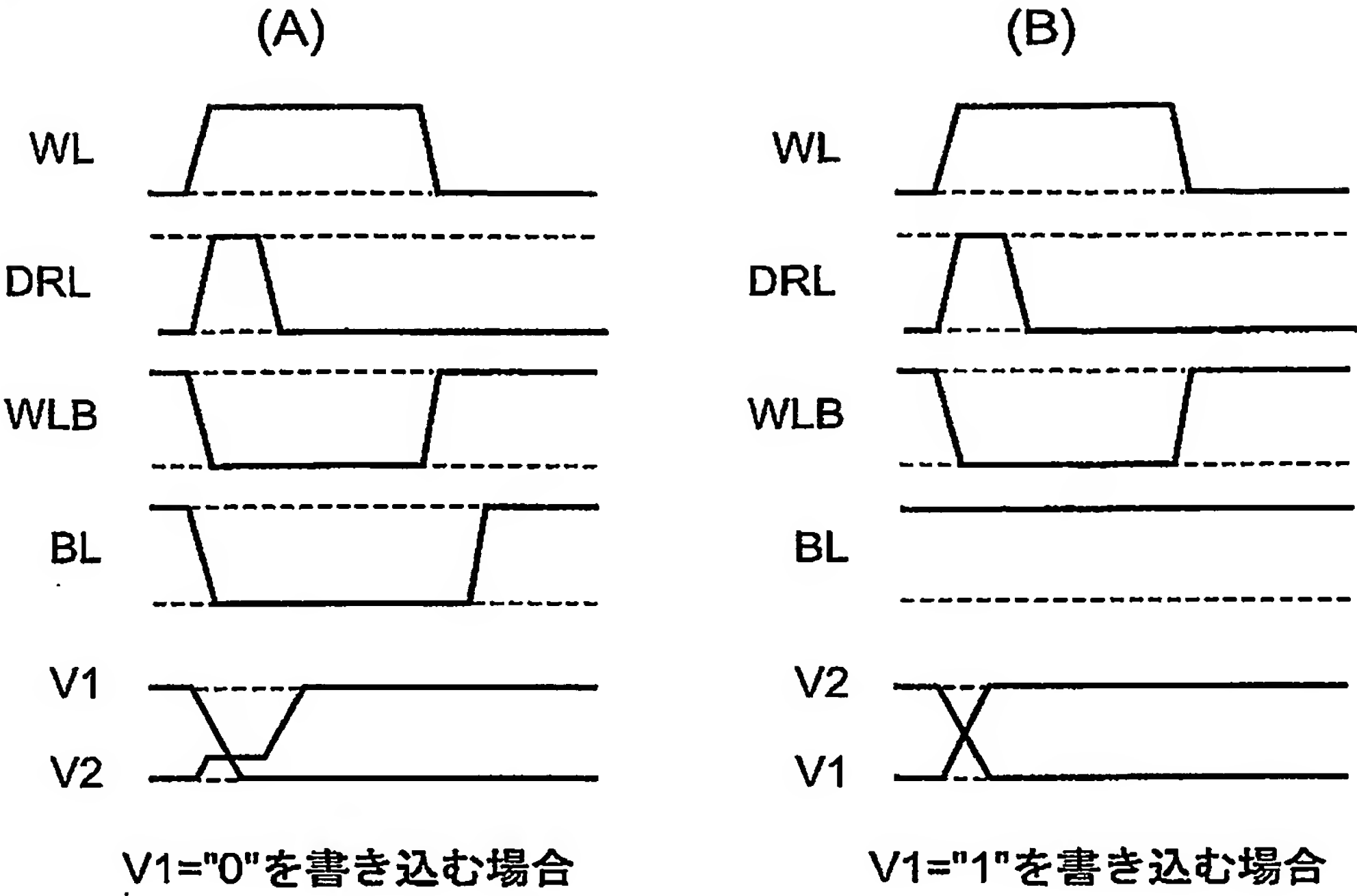
【書類名】 図面
【図 1】



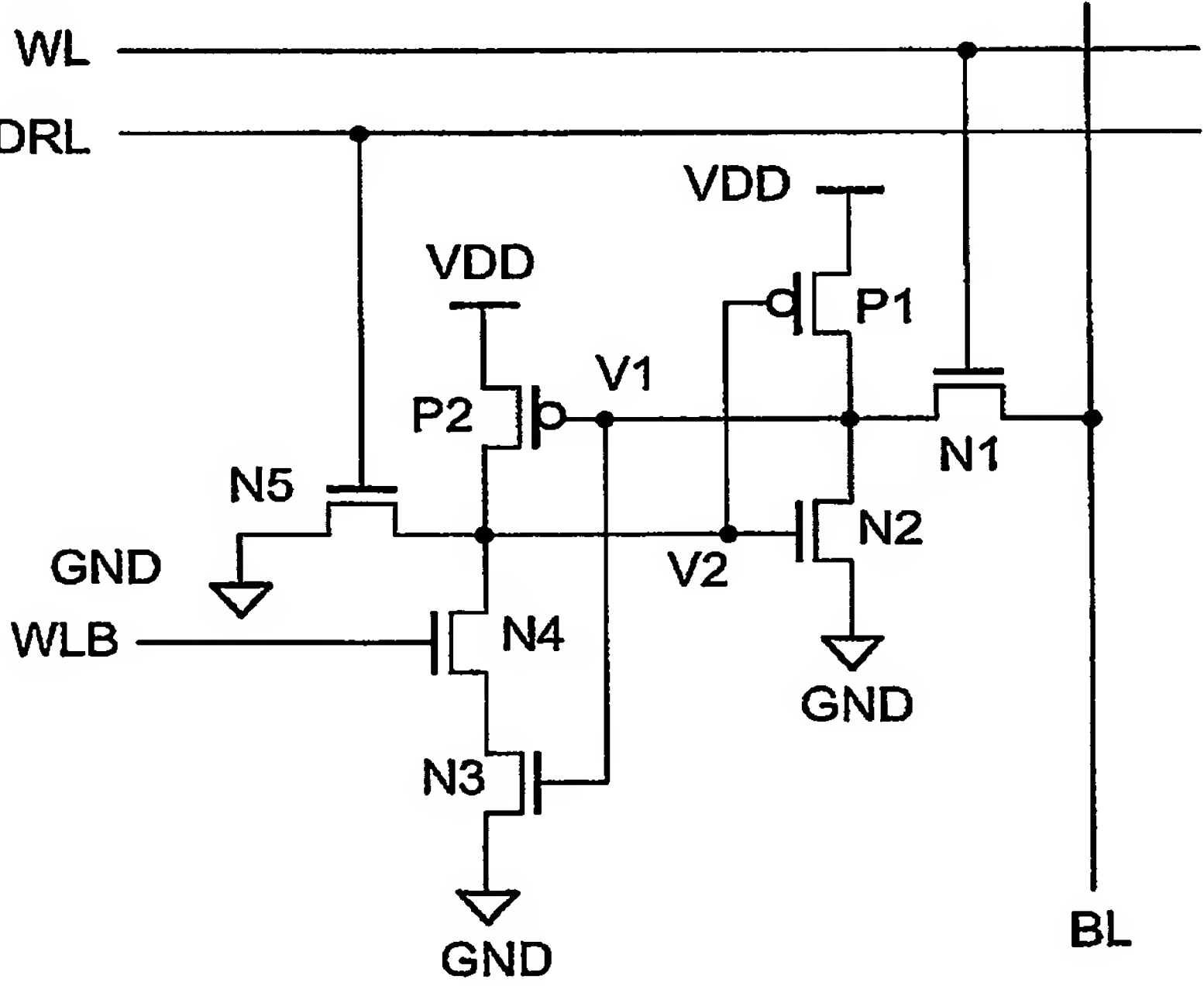
【図 2】



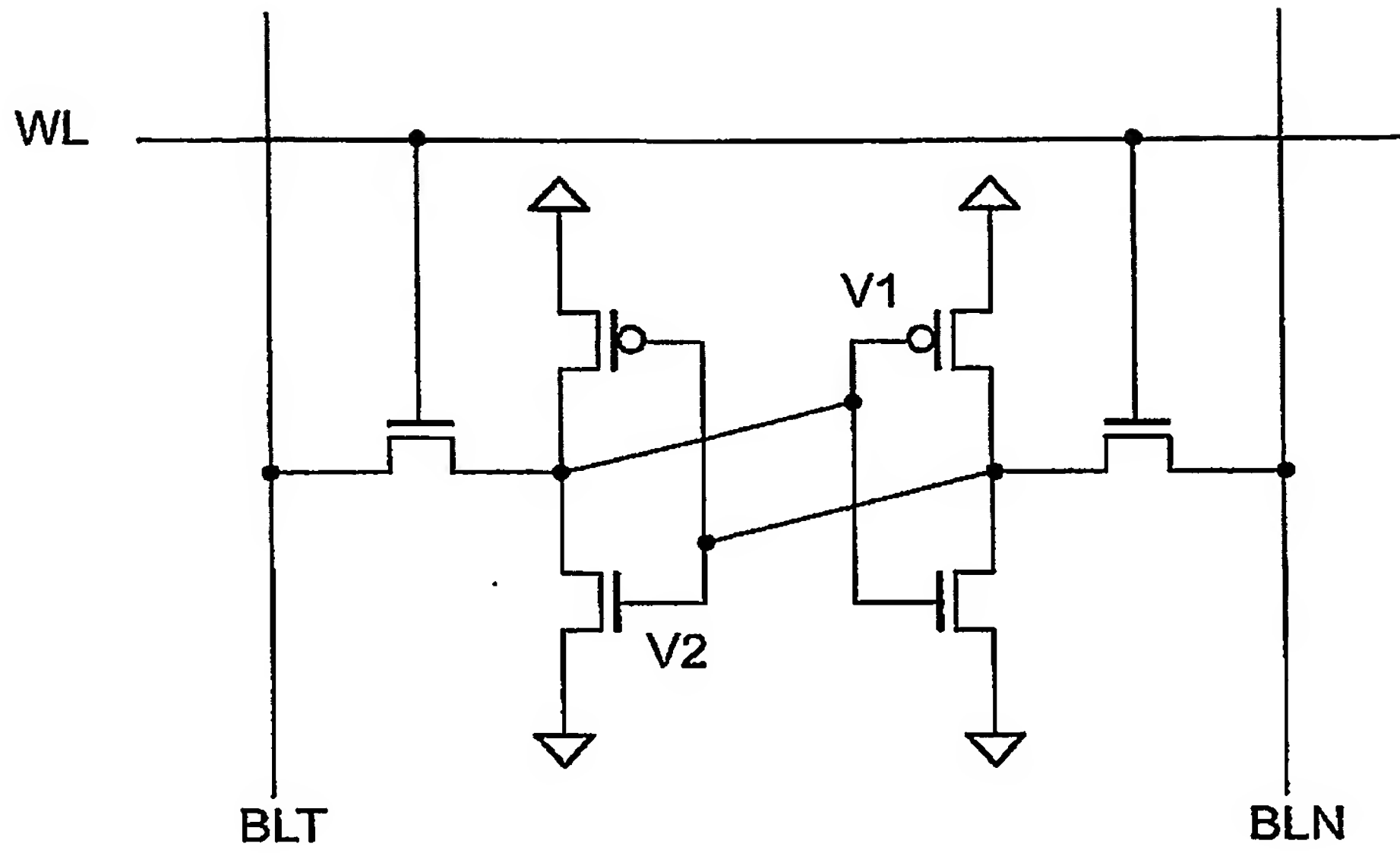
【図 3】



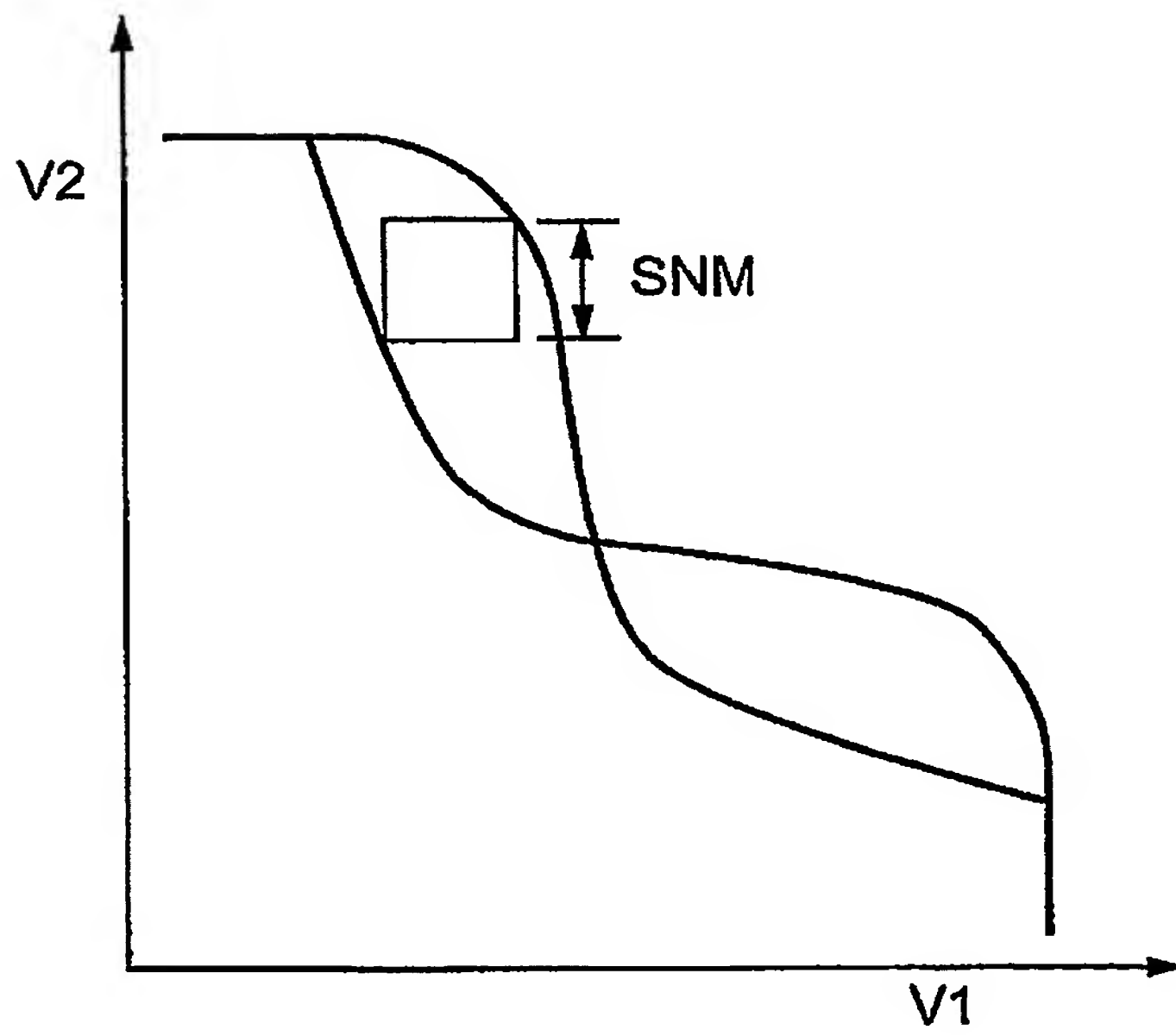
【図 4】



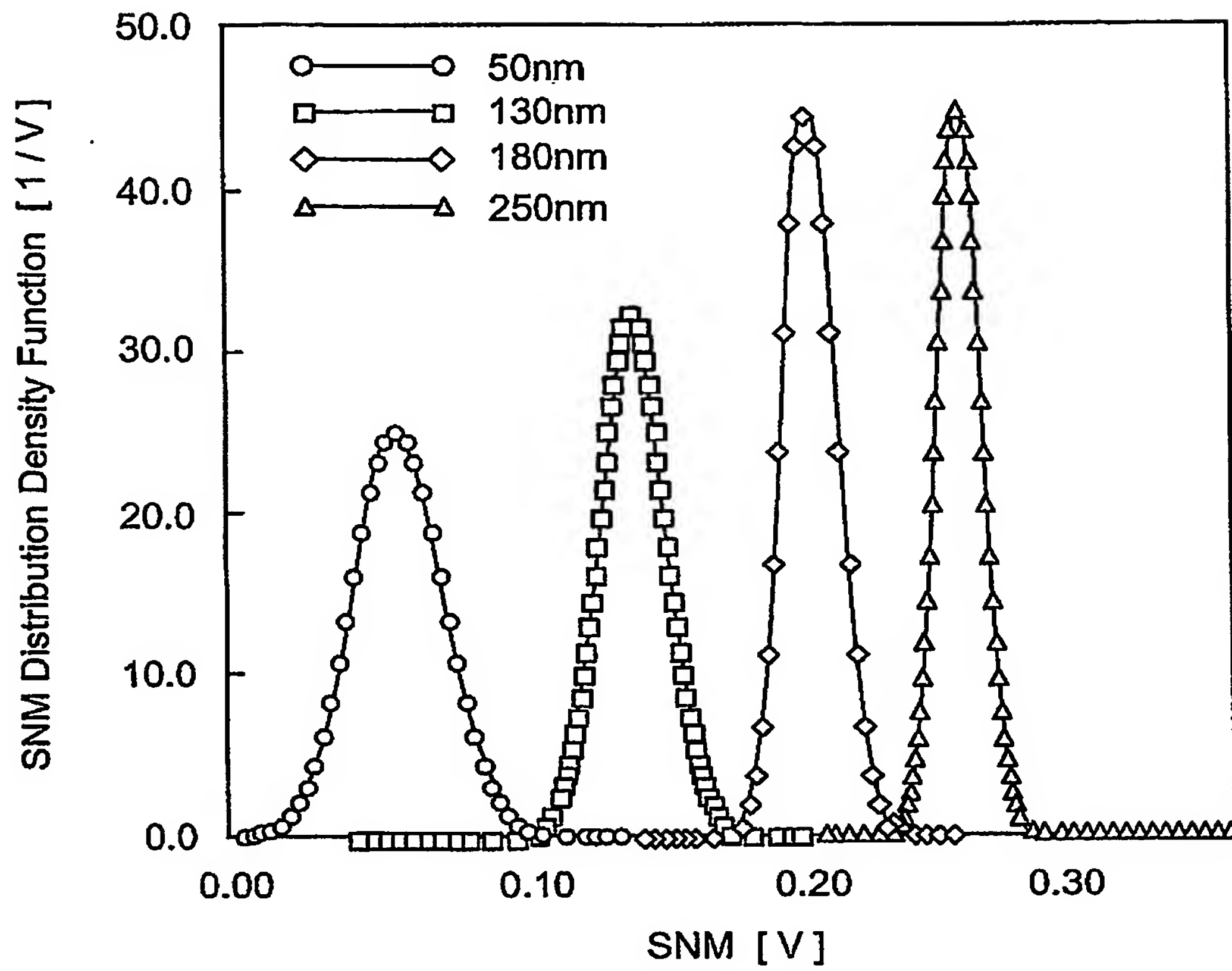
【図 5】



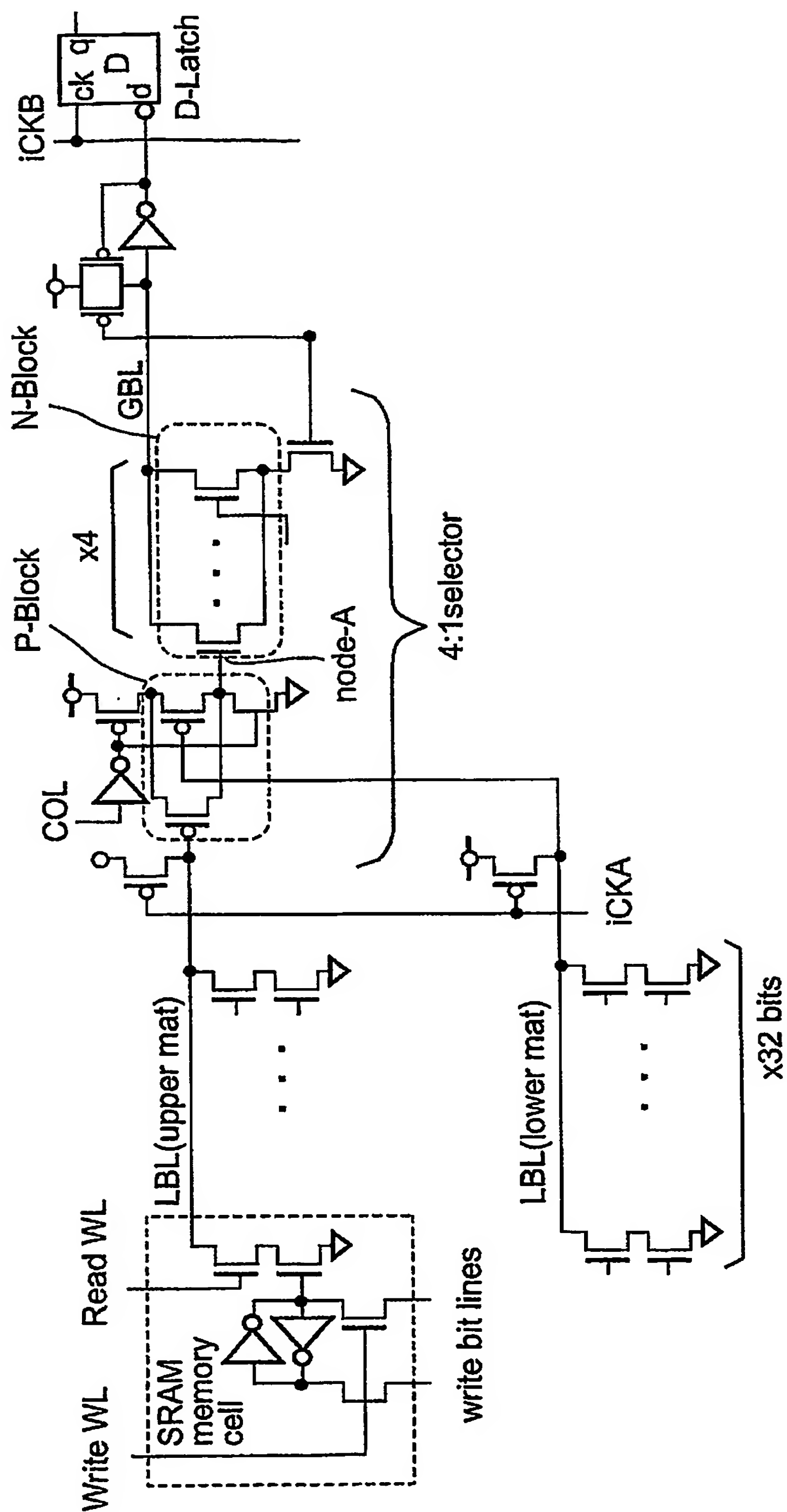
【図 6】



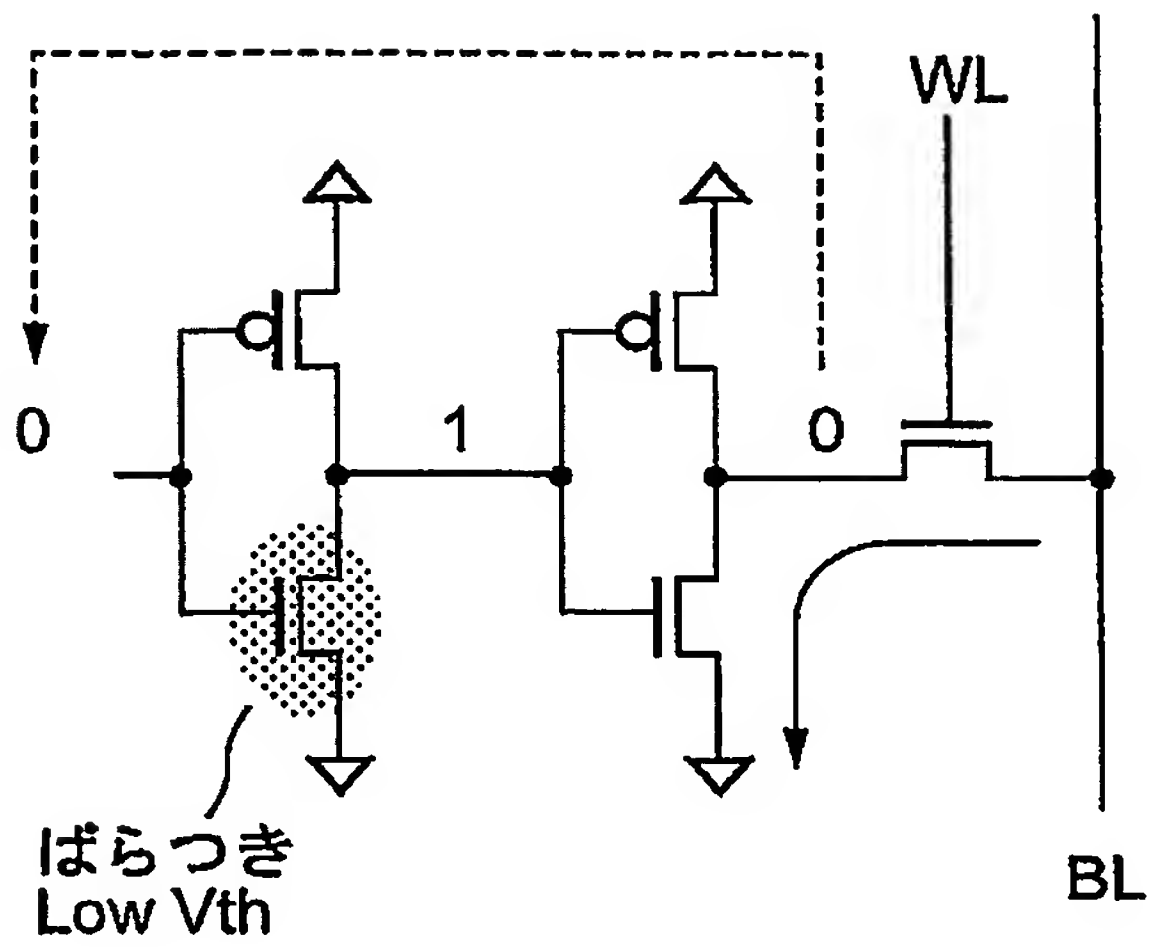
【図 7】



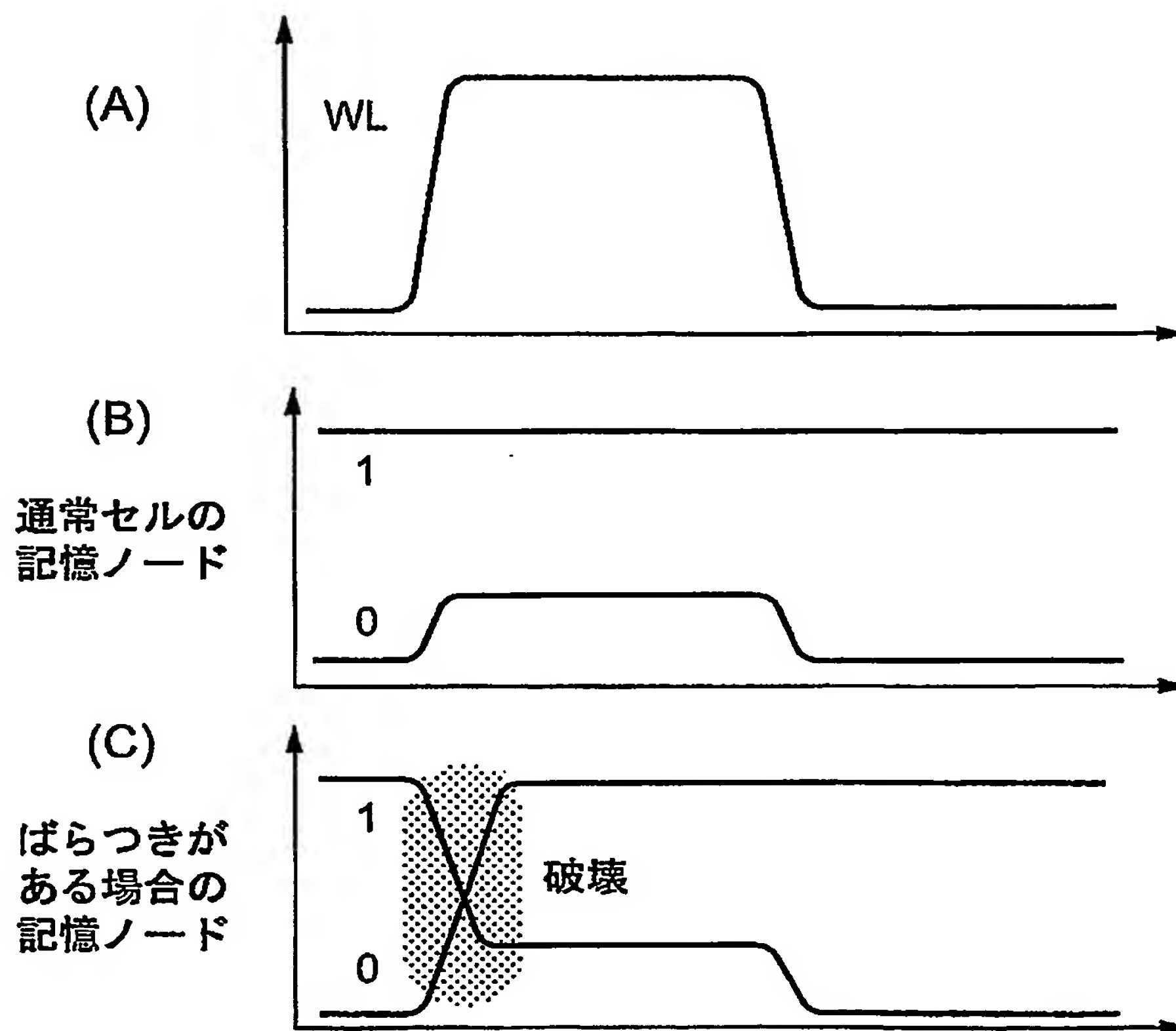
【圖 8】



【図 9】



【図 10】



【書類名】 要約書**【要約】**

【課題】読み出し操作の際の記憶データ破壊を防止できるメモリセルを小規模で構成することを可能とする。

【解決手段】第1、第2のCMOSインバータを形成する四つのトランジスタでループを形成し、データアクセスを行うNMOSトランジスタN1を備える従来構成に加え、第2のCMOSインバータが出力するデータ記憶ノードV2に接続する、二つのNMOSトランジスタN4、N5を備えて、7個のトランジスタで構成する。NMOSトランジスタN4はデータ記憶ノードV2に高電位が記憶されている間に第2のCMOSインバータの出力信号が高電位から低電位に低下することを防止し、NMOSトランジスタN5は、書込みワード線信号DRLにより制御され、書込み動作の際に第2のCMOSインバータの出力である第2のデータ記憶ノードV2を低電位へリセットする。

【選択図】 図1

特願 2 0 0 3 - 3 6 5 4 3 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.